

# Ing. Vojtěch Mrázek, Ph.D.

---

## Vzdělání a kurzy

- 2014–2018 **Ph.D.**, *Fakulta informačních technologií Vysokého učení technického v Brně*, Brno, doktorský studijní program Výpočetní technika a informatika.  
Práce: *Automated Design Methodology for Approximate Low Power Circuits*, školitel: prof. Ing. Lukáš Sekanina, Ph.D., školitel-specialista: doc. Ing. Zdeněk Vašíček, Ph.D.
- 2012–2014 **Ing.**, *Fakulta informačních technologií Vysokého učení technického v Brně*, Brno, magisterský program Počítačové a vestavené systémy (s vyznamenáním).  
Práce: *Akcelerace evolučního návrhu obvodů na úrovni tranzistorů na platformě Zynq*, vedoucí: doc. Ing. Zdeněk Vašíček, Ph.D.
- 2009–2012 **Bc.**, *Fakulta informačních technologií Vysokého učení technického v Brně*, Brno, bakalářský program Informační technologie (s vyznamenáním).  
Práce: *Zařízení pro inteligentní měření spotřeby elektrické energie*, vedoucí: doc. Ing. Zdeněk Vašíček, Ph.D.
- 2005–2009 **Maturita**, *Střední průmyslová škola*, Jedovnice, obor Elektronické počítačové systémy (s vyznamenáním).
- 1996–2005 **Základní škola**, *Základní škola T. G. Masaryka*, Blansko.

### Absolvované kurzy

- září 2017 **letní škola**, *MACLOC — Deep learning on Chip*, Torino, IT.
- duben 2016 **školení**, *Comprehensive Digital IC Implementation & Signoff, MSC RAL STFC*, Didcot, GB.

## Pracovní zkušenosti

### Hlavní pracovní poměry

- 2013–dosud **Výzkumný pracovník**, *výzkumná skupina Evolvable Hardware Group, FIT VUT v Brně*, Brno.
- 2018–2019 **Post-doc researcher**, *Embedded Computing Systems Group, Technische Universität Wien*, Austria.

### Vedlejší pracovní poměry

- 2008–2010 **Vývojář informačních systémů**, *Vertigo.cz a.s.*, Brno.
- 2007–2017 **Vývojář nástrojů pro vestavené systémy**, *Rawet s.r.o.*, Blansko.
- 2016–2018 **Vývojář informačních systémů**, *Pasport.eu*, Dolní Bojanovice.

## Zahraniční spolupráce

- listopad 2015 **výzkumná stáž na Purdue University – Nanoelectronics Research Laboratory**, West Lafayette, IN, USA

- 2016–dosud příprava společných publikací s prof. Jie Hanem z University of Alberta, Edmonton, AB, CA.
- 2016–dosud příprava společných publikací s prof. Muhammadem Shafique z Technische Universität Wien, AT.

## Aktivní účast na konferencích

- 2018 GECCO (Kyoto, JP), AHS (Edinburgh, GB), VLSI-SOC (Verona, IT)
- 2017 DATE (Laussane, CH), GECCO (Berlin, DE), ICCAD (Irvine, CA, USA)
- 2016 HiPEAC (Praha, ČR), SSCI (Athény, GR), ICCAD (Austin, TX, USA), Patmos (Brémy, DE)
- 2015 EuroGP (Kodaň, DK), EUC (Porto, PT)
- 2014 SSCI (Orlando, FL, USA)

## Jazyky

- Angličtina Pokročilý
- Němčina Pasivně

## Ocenění

- 2018 The Best PhD Forum Award na konferenci *IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SOC)*
- 2018 3. místo v mezinárodní soutěži *Humies* v Kyoto, JP
- 2017 The Best IP Award na konferenci *Design, Automation and Test in Europe (DATE)*
- 2017 Práce na grantu GAČR oceněný *Cenou předsedkyně GAČR 2017*
- 2015 Cena prof. Ing. Jana Hlavičky, DrSc. za vynikající výsledky v doktorském studiu na semináři *Počítačové architektury a diagnostika (PAD)*
- 2014 1. místo v studentské soutěži Student EEICT 2014 za článek *Acceleration of Transistor-Level Evolutionary Design of Digital Circuits*
- 2012 3. místo v studentské soutěži Student EEICT 2012 za článek *Intelligent energy measurement device*

## Výstupy výzkumu

- Knihovna EvoApproxLib:  
<https://www.fit.vutbr.cz/research/groups/ehw/approxlib/>
- Knihovna aproximovaných mediánových filtrů:  
<http://www.fit.vutbr.cz/~mrazek/median2015/>

## Projekty

- 2018 EF16\_027/0008371 — *International mobility of researchers at the Brno University of Technology, MŠMT CR* — spoluřešitel
- 2017 FIT-S-17-3994 — *Advanced parallel and embedded computer systems, Brno University of Technology* — spoluřešitel

- FIT/FSI-J-17-4294 — *Enhancement of genetic optimization methods for computer engineering, Brno University of Technology* — hlavní řešitel
- 2016 GA16-08565S — *Advancing cryptanalytic methods through evolutionary computing, Czech Science Foundation* — spoluřešitel
- LQ1602 — *IT4Innovations excellence in science, Ministry of Education, Youth and Sports of Czech Republic* — spoluřešitel
- GA16-17538S — *Relaxed equivalence checking for approximate computing, Czech Science Foundation* — spoluřešitel
- GA14-04197S — *Advanced Methods for Evolutionary Design of Complex Digital Circuits, Czech Science Foundation* — spoluřešitel
- 2014 FIT-S-14-2297 — *Architecture of parallel and embedded computer systems, Brno University of Technology* — spoluřešitel

## Publikace

### 2019

- [p1] SEKANINA Lukáš, VAŠÍČEK Zdeněk a MRÁZEK Vojtěch. **Automated Search-Based Functional Approximation for Digital Circuits**. *Approximate Circuits - Methodologies and CAD*. Heidelberg: Springer International Publishing, 2019, pp. 175-203. ISBN 978-3-319-99322-5.
- [c24] MRÁZEK Vojtěch, HANIF Muhammad Abdullah, VAŠÍČEK Zdeněk, SEKANINA Lukáš a SHAFIQUE Muhammad. **autoAx: An Automatic Design Space Exploration and Circuit Building Methodology from Elementary Approximate Components**. In: *To appear in Proc. of the 2019 Design, Automation Conference (DAC)*. Las Vegas: IEEE/ACM, 2019.  
Core: A; Qualis: A1
- [c23] VAŠÍČEK Zdeněk, MRÁZEK Vojtěch a SEKANINA Lukáš. **Automated Circuit Approximation Method Driven by Data Distribution**. In: *To appear in Proc. of the 2019 Design, Automation & Test in Europe Conference & Exhibition (DATE)*. Lausanne: European Design and Automation Association, 2019.  
Core: B; Qualis: A1

### 2018

- [j4] MRÁZEK Vojtěch, VAŠÍČEK Zdeněk, SEKANINA Lukáš, JIANG Honglan a HAN Jie. **Scalable Construction of Approximate Multipliers with Formally Guaranteed Worst-Case Error**. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. 2018, roč. 26, č. 11, s. 2572-2576. ISSN 1063-8210.  
Impact factor: 1.744 (Q2)
- [j3] MRÁZEK Vojtěch, VAŠÍČEK Zdeněk a HRBÁČEK Radek. **Role of circuit representation in evolutionary design of energy-efficient approximate circuits**. *IET Computers & Digital Techniques*. Stevenage: The Institution of Engineering and Technology, 2018, roč. 2018, č. 4, s. 1-11. ISSN 1751-8601.  
Impact factor: 0.639 (Q3)

[c22] SEKANINA Lukáš, MRÁZEK Vojtěch a VAŠÍČEK Zdeněk. **Design Space Exploration for Approximate Implementations of Arithmetic Data Path Primitives**. In: *25th IEEE International Conference on Electronics Circuits and Systems (ICECS)*. Bordeaux: IEEE Circuits and Systems Society, 2018, pp. 377-380. ISBN 978-1-5386-4089-0.

Qualis: B1

[c21] MRÁZEK Vojtěch a VAŠÍČEK Zdeněk. **Evolutionary Design of Large Approximate Adders Optimized for Various Error Criteria**. In: *Proceedings of the Genetic and Evolutionary Computation Conference Companion (GECCO '18)*. Kyoto: Association for Computing Machinery, 2018, s. 294-295. ISBN 978-1-4503-5764-7.

[c20] MRÁZEK Vojtěch, SÝS Marek, VAŠÍČEK Zdeněk, SEKANINA Lukáš a MATYÁŠ Václav. **Evolving Boolean Functions for Fast and Efficient Randomness Testing**. In: *Proceedings of the Genetic and Evolutionary Computation Conference (GECCO '18)*. Kyoto: Association for Computing Machinery, 2018, s. 1302-1309. ISBN 978-1-4503-5618-3.

Core: A; Qualis: A1

[c19] MRÁZEK Vojtěch, VAŠÍČEK Zdeněk a SEKANINA Lukáš. **Design of Quality-Configurable Approximate Multipliers Suitable for Dynamic Environment**. In: *Proceedings of the 2018 NASA/ESA Conference on Adaptive Hardware and Systems*. Edinburgh, 2018, s. 1-8. ISBN 978-1-5386-7753-7.

[c18] ČEŠKA Milan, MATYÁŠ Jiří, MRÁZEK Vojtěch, SEKANINA Lukáš, VAŠÍČEK Zdeněk a VOJNAR Tomáš. **ADAC: Automated Design of Approximate Circuits**. In: *Proceedings of 30th International Conference on Computer Aided Verification (CAV'18)*. LNCS., 2018, s. 1-9.

Core: A\*; Qualis: A1

## 2017

[j2] SEKANINA Lukáš, VAŠÍČEK Zdeněk a MRÁZEK Vojtěch. **Approximate Circuits in Low-Power Image and Video Processing: The Approximate Median Filter**. *Radio-engineering*. 2017, roč. 26, č. 3, s. 623-632. ISSN 1210-2512.

Impact factor: 1.048 (Q3)

Citace: 1x (SCOPUS: 1x)

[j1] VAŠÍČEK Zdeněk a MRÁZEK Vojtěch. **Trading between Quality and Non-functional Properties of Median Filter in Embedded Systems**. *Genetic Programming and Evolvable Machines*. Berlin: Springer Verlag, 2017, roč. 18, č. 1, s. 45-82. ISSN 1389-2576.

Impact factor: 1.455 (Q2)

Citace: 2x (SCOPUS: 2x)

[c17] MRÁZEK Vojtěch a VAŠÍČEK Zdeněk. **Parallel Optimization of Transistor Level Circuits using Cartesian Genetic Programming**. In: *GECCO Companion '17 Proceedings of the Companion Publication of the 2017 on Genetic and Evolutionary Computation Conference*. Berlin: Association for Computing Machinery, 2017, s. 1849-1856. ISBN 978-1-4503-4939-0.

[c16] MRÁZEK Vojtěch, HRBÁČEK Radek, VAŠÍČEK Zdeněk a SEKANINA Lukáš. **EvoApprox8b: Library of Approximate Adders and Multipliers for Circuit Design and Benchmarking of Approximation Methods**. In: *Proc. of the 2017 Design, Automation & Test in Europe Conference & Exhibition (DATE)*. Lausanne: European Design and Automation Association, 2017, s. 258-261. ISBN 978-3-9815370-9-3.

Core: B; Qualis: A1

Citace: 30x (SCOPUS: 15x)

- [c15] SHAFIQUE Muhammad, HAFIZ Rehan, JAVED Muhammad Usama, ABBAS Sarmad, SEKANINA Lukáš, VAŠÍČEK Zdeněk a MRÁZEK Vojtěch. **Adaptive and Energy-Efficient Architectures for Machine Learning: Challenges, Opportunities, and Research Roadmap**. In: *2017 IEEE Computer Society Annual Symposium on VLSI*. Los Alamitos: IEEE Computer Society Press, 2017, s. 627-632. ISBN 978-1-5090-6762-6.

Qualis: B1

Citace: 3x (SCOPUS: 3x)

- [c14] VAŠÍČEK Zdeněk, MRÁZEK Vojtěch a SEKANINA Lukáš. **Towards Low Power Approximate DCT Architecture for HEVC Standard**. In: *Proc. of the 2017 Design, Automation & Test in Europe Conference & Exhibition (DATE)*. Lausanne: European Design and Automation Association, 2017, s. 1576-1581. ISBN 978-3-9815370-9-3.

Core: B; Qualis: A1

Citace: 3x (SCOPUS: 3x)

- [c13] ČEŠKA Milan, MATYÁŠ Jiří, MRÁZEK Vojtěch, SEKANINA Lukáš, VAŠÍČEK Zdeněk a VOJNAR Tomáš. **Approximating Complex Arithmetic Circuits with Formal Error Guarantees: 32-bit Multipliers Accomplished**. In: *Proceedings of 36th IEEE/ACM International Conference On Computer Aided Design (ICCAD)*. Irvine, CA: Institute of Electrical and Electronics Engineers, 2017, s. 416-423. ISBN 978-1-5386-3093-8.

Core: A; Qualis: A1

Citace: 6x (SCOPUS: 3x)

## 2016

- [c12] HRBÁČEK Radek, MRÁZEK Vojtěch a VAŠÍČEK Zdeněk. **Automatic Design of Approximate Circuits by Means of Multi-Objective Evolutionary Algorithms**. In: *Proceedings of the 11th International Conference on Design & Technology of Integrated Systems in Nanoscale Era*. Istanbul: Istanbul Sehir University, 2016, s. 239-244. ISBN 978-1-5090-0335-8.

Citace: 3x (SCOPUS: 3x)

- [c11] MRÁZEK Vojtěch a VAŠÍČEK Zdeněk. **Automatic Design of Arbitrary-Size Approximate Sorting Networks with Error Guarantee**. In: *Power and Timing Modeling, Optimization and Simulation (PATMOS), 2016 26rd International Workshop on*. Bremen: Institute of Electrical and Electronics Engineers, 2016, s. 221-228. ISBN 978-1-5090-0733-2.

Qualis: B2

- [c10] MRÁZEK Vojtěch, SARWAR Syed Shakib, SEKANINA Lukáš, VAŠÍČEK Zdeněk a ROY Kaushik. **Design of Power-Efficient Approximate Multipliers for Approximate Artificial Neural Networks**. In: *Proceedings of the IEEE/ACM International Conference on Computer-Aided Design (ICCAD)*. Austin, TX: Association for Computing Machinery, 2016, s. 811-817. ISBN 978-1-4503-4466-1.

Core: A; Qualis: A1

Citace: 20x (SCOPUS: 12x)

- [c9] MRÁZEK Vojtěch. **Evoluční snižování příkonu: Od obvodů na úrovni tranzistorů po neuronové sítě na čipu**. In: *Počítačové architektury a diagnostika PAD 2016*. Bořetice: Fakulta informačních technologií VUT v Brně, 2016, s. 61-64. ISBN 978-80-214-5376-0.

- [c8] NEVORAL Jan, RŮŽIČKA Richard a MRÁZEK Vojtěch. **Evolutionary Design of Polymorphic Gates Using Ambipolar Transistors**. In: *2016 IEEE Symposium Series on Computational Intelligence*. Athens: Institute of Electrical and Electronics Engineers, 2016, s. 1-8. ISBN 978-1-5090-4240-1.

- [c7] VAŠÍČEK Zdeněk, MRÁZEK Vojtěch a SEKANINA Lukáš. **Evolutionary Functional Approximation of Circuits Implemented into FPGAs**. In: *2016 IEEE Symposium Series on Computational Intelligence*. Athens: Institute of Electrical and Electronics Engineers, 2016, s. 1-8. ISBN 978-1-5090-4240-1.

## 2015

- [c6] MRÁZEK Vojtěch a VAŠÍČEK Zdeněk. **Automatic Design of Low-Power VLSI Circuits: Accurate and Approximate Multipliers.** In: *Proceedings of 13th IEEE/IFIP International Conference on Embedded and Ubiquitous Computing*. Porto: Institute of Electrical and Electronics Engineers, 2015, s. 106-113. ISBN 978-1-4673-8299-1.  
Core: C; Qualis: B2 Citace: 1x (SCOPUS: 1x)
- [c5] MRÁZEK Vojtěch a VAŠÍČEK Zdeněk. **Evolutionary Design of Transistor Level Digital Circuits using Discrete Simulation.** In: *Genetic Programming, 18th European Conference, EuroGP 2015*. Berlin: Springer International Publishing, 2015, s. 66-77. ISBN 978-3-319-16500-4.  
Core: B; Qualis: B1 Citace: 3x
- [c4] MRÁZEK Vojtěch, VAŠÍČEK Zdeněk a SEKANINA Lukáš. **Evolutionary Approximation of Software for Embedded Systems: Median Function.** In: *GECCO Companion '15 Proceedings of the Companion Publication of the 2015 on Genetic and Evolutionary Computation Conference*. New York: Association for Computing Machinery, 2015, s. 795-801. ISBN 978-1-4503-3488-4.  
Citace: 11x (SCOPUS: 6x)
- [c3] MRÁZEK Vojtěch. **Evoluční návrh nízkopříkonových obvodů.** In: *Počítačové architektury a diagnostika PAD 2015*. Zlín: Fakulta aplikované informatiky, Univerzita Tomáše Bati ve Zlíně, 2015, s. 1-6. ISBN 978-80-7454-522-1.

## 2014

- [c2] MRÁZEK Vojtěch a VAŠÍČEK Zdeněk. **Acceleration of Transistor-Level Evolution using Xilinx Zynq Platform.** In: *2014 IEEE International Conference on Evolvable Systems Proceedings*. Piscataway: Institute of Electrical and Electronics Engineers, 2014, s. 9-16. ISBN 978-1-4799-4480-4.  
Citace: 1x
- [c1] MRÁZEK Vojtěch. **Akcelerace evolučního návrhu digitálních obvodů na úrovni tranzistorů s využitím platformy Zynq.** In: *Proceedings of the 20th Student Conference, EEICT 2014*. Brno: Vysoké učení technické v Brně, 2014, s. 229-231. ISBN 978-80-214-4923-7.

Poznámka: Hodnocení konferencí podle databází CORE'2018 a ERA. Vlastní citace autora ani spoluautorů nejsou započítány, údaje o citacích jsou získány ze služby Google Scholar. Celkem má autor 49 citací evidovaných ve službě Scopus.

V Brně 8. února 2019

Ing. Vojtěch Mrázek, Ph.D.